

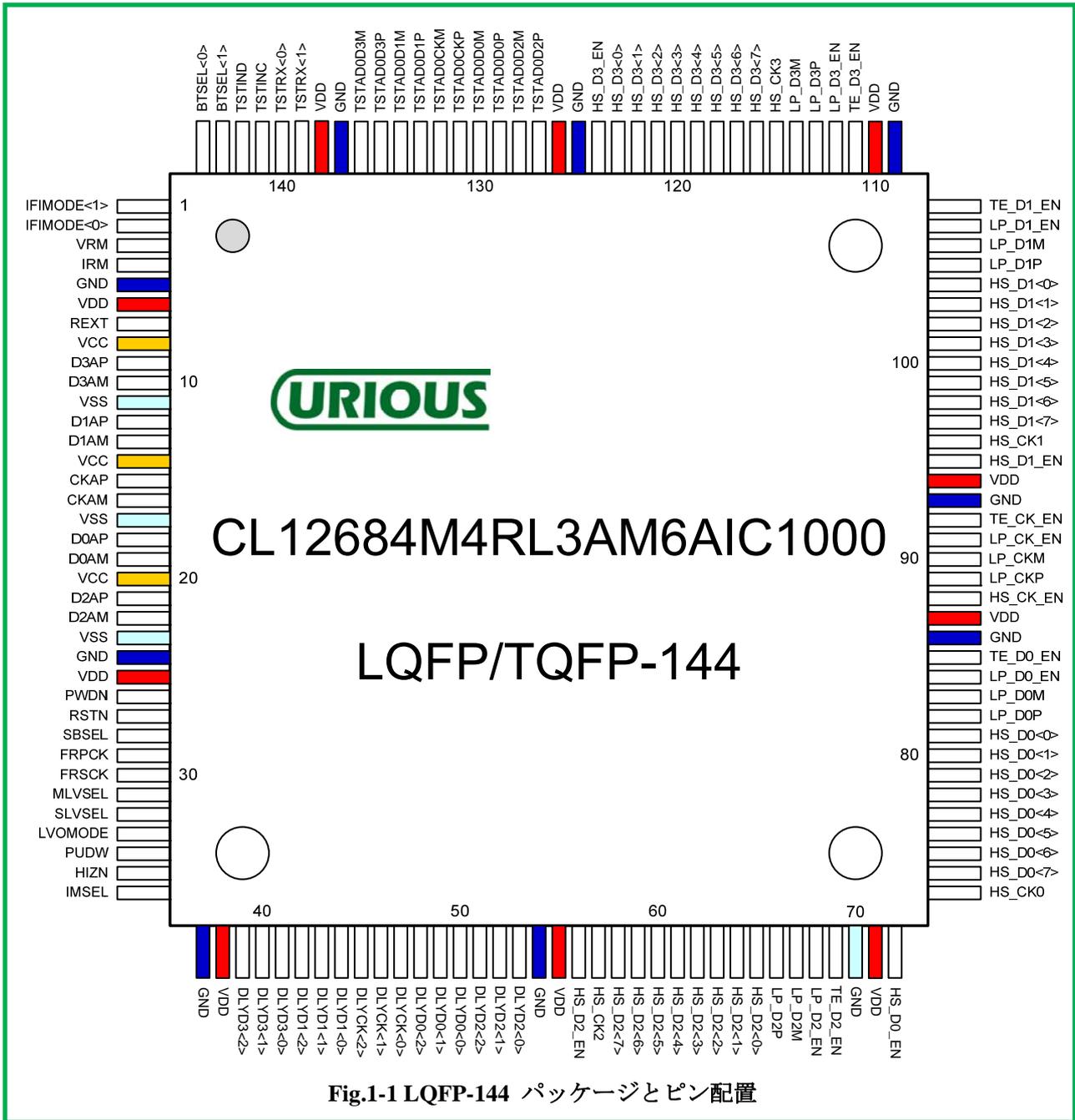
概要

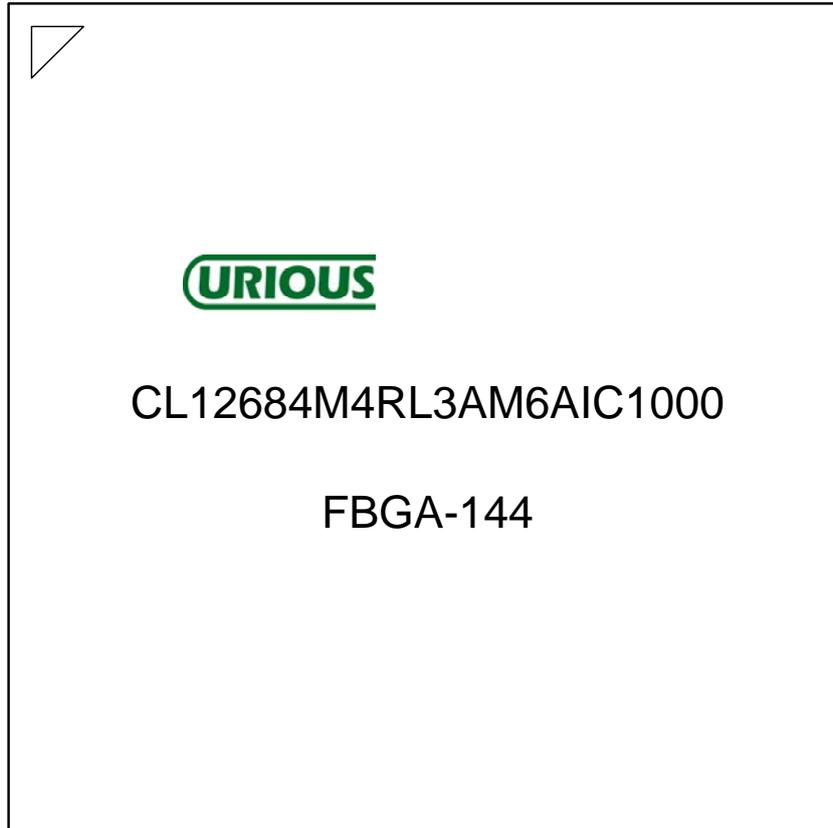
CCL12684M4RL3AM6AIC は、カメラモジュールもしくは CMOS イメージ・センサ(CIS)とホスト・システム間を接続するためのレシーバです。CL12684M4RL3AM6AIC は、sub-LVDS / mini-LVDS / LVDS / HiSPi(SLVS-400) / MIPI-DPHY / CMOS の 6 つのインターフェイス・タイプを最大 1Gbps の伝送でサポートします。CL12684M4RL3AM6AIC はモードの切り替えだけで同一 PAD でインターフェイス・タイプを変更可能です。

特徴

- MIPI DPHY v1-1 / MIPI CSI / TIA/EIA-644 LVDS / SLVS-400 準拠
- ほとんどの CMOS イメージ・センサの直列および並列差動入力信号をサポート
 - 1) sub-LVDS 直列 / 並列
 - 2) mini-LVDS (小振幅 LVDS モード) * SLVS-200
 - 3) LVDS
 - 4) HiSPi (SLVS-400, HiVCM)
 - 5) MIPI DPHY (最大 4-レーン)
 - 6) CMOS 1.8V
- LVOMODE 端子による 2 ビット直列 LVDS 出力サポート
- LVOMODE 端子と TSTADO_{xx} 端子の設定により差動入力⇒LVDS 出力変換可能
- 最大入力クロック周波数: ~500MHz 入力データ伝送スピード: ~1Gbps
- 最大出力クロック周波数: ~500MHz 出力データ伝送スピード: ~500Mbps
- 電源電圧: 単一電源 1.8V
- 最大直列入力ポート(レーン): クロック 1-ポート / データ 4-ポート (レーン)
- FRPCK 端子による並列出力クロックエッジ可変可能
- BTSEL[1:0]端子による出力形式の選択可能(2/4/8 ビット)
- SBSEL 端子による MSB/LSB 選択可能
- ほとんどの CMOS イメージ・センサに使用可能
(パナソニック製/ソニー製/アプティナ製/オムニビジョン製など)
- 消費電流: (プロセス: FF, 温度: 125°C, 電源電圧: 最大) $I_{TOTAL}=V_{CC}+V_{DD}$
 - 動作時最大 100mA
 - パワーダウン時最大 10uA (PWDN_ALL 端子=0 時)
- ESD (HBM / MM / CDM / ラッチアップ): 2kV / 200V / 500V / 100mA

パッケージとピン配置





	1	2	3	4	5	6	7	8	9	10	11	12
A	○	○	○	○	○	○	●	○	○	○	○	○
	BTSEL[0]	BTSEL[1]	TSTIND	TSTRX[0]	TSTADOD3M	TSTADOD3P	VDD (D)	HS_CK3	LP_D3M	TE_D1_EN	HD_D3[3]	HD_D3[4]
B	○	○	○	○	○	○	●	○	○	○	○	○
	IFIMODE[1]	IFIMODE[0]	TSTINC	TSTRX[1]	TSTADOD1M	TSTADOD1P	GND (D)	HD_D3[7]	LP_D3P	LP_D1_EN	HD_D3[2]	HD_D3[5]
C	○	○	○	●	○	○	○	○	○	○	○	○
	VRM	IRM	REXT	VDD (D)	TSTADOCKM	TSTADOCKP	HS_D3_EN	HD_D3[6]	LP_D3_EN	LP_D1M	HD_D3[1]	HD_D3[6]
D	●	●	●	●	○	○	○	○	○	○	○	○
	GND (D)	VDD (D)	VCC	GND (D)	TSTADOD0M	TSTADOD0P	HD_D3[0]	HD_D3[5]	TE_D3_EN	LP_D1P	HD_D3[0]	HD_D3[7]
E	○	○	○	○	○	○	○	○	●	●	○	○
	D3P	D3M	VSS	LVOMODE	TSTADOD2M	TSTADOD2P	HD_D3[1]	HD_D3[4]	VDD (D)	GND (D)	HS_D1_EN	HS_CK1
F	○	○	●	○	○	○	○	○	○	○	●	●
	D1P	D1M	VCC	PUDW	DLYCK[0]	DLYD0[2]	HD_D3[2]	HD_D3[3]	LP_CK_EN	TE_CK_EN	VDD (D)	GND (D)
G	○	○	○	○	○	○	●	●	○	○	●	●
	CKP	CKM	VSS	HIZN	DLYCK[1]	DLYD0[1]	GND (D)	VDD (D)	LP_CKP	LP_CKM	VDD (D)	GND (D)
H	○	○	●	○	○	○	○	○	○	○	○	○
	D0P	D0M	VCC	IMSEL	DLYCK[2]	DLYD0[0]	HS_D2[6]	HS_D2[5]	HS_CK_EN	HS_D0[6]	HS_D0[5]	TE_D0_EN
J	○	○	○	●	○	○	○	○	○	○	○	○
	D2P	D2M	VSS	GND (D)	DLYD1[0]	DLYD2[2]	HS_D2[7]	HS_D2[4]	LP_D2_EN	HS_D0[7]	HS_D0[4]	LP_D0_EN
K	●	●	○	●	○	○	○	○	○	○	○	○
	GND (D)	VDD (D)	FPSCK	VDD (D)	DLYD1[1]	DLYD2[1]	HS_CK2	HS_D2[3]	LP_D2M	HS_CK0	HS_D0[3]	LP_D0M
L	○	○	○	○	○	○	○	○	○	○	○	○
	PWDN	SBSEL	MLVSEL	DLYD3[2]	DLYD1[2]	DLYD2[0]	HS_D2_EN	HS_D2[2]	LP_D2P	HS_D0_EN	HS_D0[2]	LP_D0P
M	○	○	○	○	○	●	●	○	○	○	○	○
	RSTN	FRPCK	SLVSEL	DLYD3[1]	DLYD3[0]	GND (D)	VDD (D)	HS_D2[1]	HS_D2[0]	TE_D2_EN	HS_D0[1]	HS_D0[0]

図 1-2 FBGA-144 パッケージとピン配置