

概要

CL12663IP は、マルチ・トランスシーバで MIPI -DPHY と SMIA CCP class 0, 1, 2 および DDR 方式の直列差動クロック/データストリームと各 8 ビットの LVCMOS 並列データとを直列-並列および並列-直列データ変換します。

特徴

- 並列クロック周波数 20MHz~125MHz 対応
- 直列クロック周波数 80MHz~500MHz 出力データ伝送レート 160Mbps~1Gbps
- MIPI-DPHY Ver.1.00.00 / SMIA CCP Class0, 1, 2 準拠
- SMIA CCP Class0、Class1, 2 サポート (CLS 端子にて設定)
- MIPI-DPHY / SMIA / DDR 方式サポート(MDS にて設定)
- 高速伝送

並列データ:	~125MHz (CLKI0~n, DIO~n<7:0>)
直列データ: MIPI-DPHY	~1Gbps (Data0~n+/-, Clk+/-)
SMIA CCP Class0	~208Mbps (Data0~n+/-, Clk+/-)
SMIA CCP Class1, 2	208~650Mbps (Data0~n+/-, Strb+/-)
DDR Format	~650Mbps (Data0~n+/-, Clk+/-)
- 1.8V (Option : 2.8/3.3v) 電源電圧 (Option : 1.0 / 1.2 / 1.8v Logic/Level Shifter)
- 入力クロック・エッジ・プログラマブル (R_F 端子にて設定)
- MSB/LSB・プログラマブル (SBS 端子にて設定)
- 低 EMI を実現する 150/200mV 差動信号振幅
- 消費電流を低減するパワー・ダウンモード ~1 μ A (PD 端子にて設定)

ブロック図

