

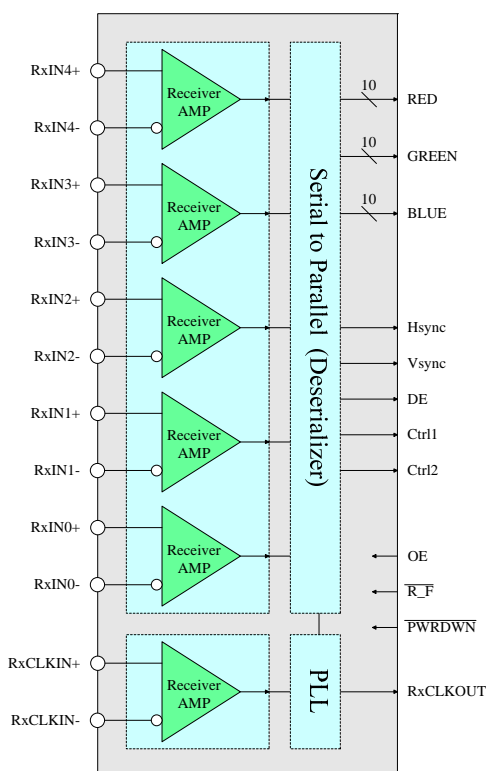
## 概要

CL12482D は 5-チャンネルの LVDS 直列データを 35 ビット(30 ビットの RGB データと LCD タイミング・制御信号[HSYNC, VSYNC, DE, Control 1, Control 2]の 5 ビット)の LVC MOS 並列データへデータ復元する高速レシーバです。CL12482D は、ピン入力 (R\_F) により立上りまたは立下りエッジを選択できるようなクロック・エッジ・プログラマブルを採用しています。CL12482D レシーバはバス幅が広く高速な LVC MOS インタフェースで問題となっている EMI やケーブルサイズを解決するには理想的です。

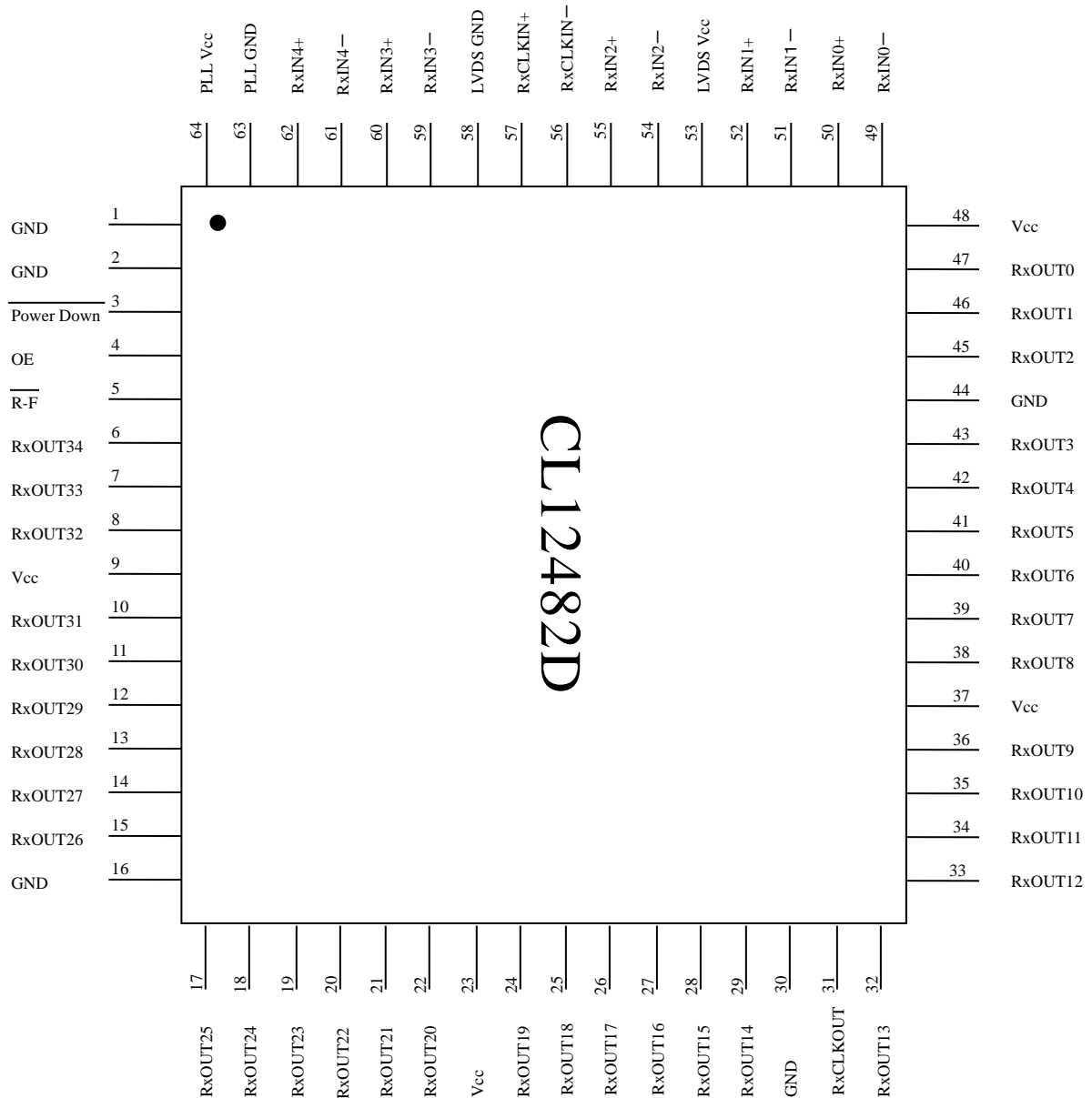
## 特徴

- 入力クロック周波数 20MHz~85MHz 入力データ伝送レート 140Mbps~595Mbps
- 出力クロック周波数 20MHz~85MHz 対応
- 3.3V 単一電源
- クロック・エッジ・プログラマブル
- VGA, SVGA, XGA, SXGA, SXGA 以上の高解像度をサポート
- バス幅の低減によりケーブル、コネクタを小型化可能
- PLL 外付け部品内蔵
- 消費電源を低減するパワー・ダウンモード
- 低 EMI を実現する 345mV 差動信号振幅入力
- 全ての差動入力にフェイル・セーフ機能をサポート
- 高密度実装を可能にする 64 ピン TQFP パッケージ
- THine 社製 THC63LVD104A ピン互換

## ブロック図



端子配列



## 端子説明

端子名称	端子数	I/O	端子機能
RxOUT	35	OUT	LVCMOS データ出力
RxIN+	5	IN	正相 LVDS 差動データ入力
RxIN-	5	IN	逆相 LVDS 差動データ入力
RxCLKOUT	1	OUT	LVCMOS レベル クロック出力
RxCLKIN+	1	IN	正相 LVDS 差動クロック入力
RxCLKIN-	1	IN	逆相 LVDS 差動クロック入力
$\overline{\text{Power Down}}$	1	IN	H: ノーマル動作 L: パワーダウン(全出力ハイインピーダンス)
$\overline{\text{R\_F}}$	1	IN	プログラマブル可能なエッジ・ストロブ選択 H: 立上りエッジ, L: 立下りエッジ
OE	1	IN	H: ノーマル動作 L: 全出力ハイインピーダンス
Vcc / GND	4/5	IN	電源/グラウンド LVCMOS 出力用
PLL Vcc / PLL GND	1/1	IN	電源/グラウンド PLL 用
LVDS Vcc / LVDS GND	1/1	IN	電源/グラウンド LVDS 入力用

## 制御信号真理値表

$\overline{\text{Power Down}}$	$\overline{\text{R\_F}}$	OE	RxOUT	RxCLKOUT
0	0	0	全出力ハイインピーダンス	出力ハイインピーダンス
0	0	1	全"0"出力	"0"出力
0	1	0	全出力ハイインピーダンス	出力ハイインピーダンス
0	1	1	全"0"出力	"0"出力
1	0	0	全出力ハイインピーダンス	出力ハイインピーダンス
1	0	1	全データ出力	立下りエッジ
1	1	0	全出力ハイインピーダンス	出力ハイインピーダンス
1	1	1	全データ出力	立上りエッジ

## 絶対最大定格

電源電圧	-0.3V ~ +4V
LVC MOS 入力電圧	-0.3V ~ (V <sub>CC</sub> +0.3V)
LVC MOS 出力電圧	-0.3V ~ (V <sub>CC</sub> +0.3V)
LVDS レシーバ入力電圧	-0.3V ~ (V <sub>CC</sub> +0.3V)
PN 接合温度	+150 °C
保存温度範囲	-65 °C ~ +150 °C
ハンダ付け温度 (4 秒)	+260 °C
最大パッケージ許容損失 (25°C)	1.4 W

## 電気的特性

### 1. LVC MOS DC 仕様

 V<sub>CC</sub>=3.0V~3.6V Ta=-10°C~70°C

記号	項目	条件	min	typ	max	単位
V <sub>IH</sub>	ハイ・レベル入力電圧		2.0		V <sub>CC</sub>	V
V <sub>IL</sub>	ロー・レベル入力電圧		GND		0.8	
I <sub>IN</sub>	入力電流	V <sub>IN</sub> =V <sub>CC</sub> , GND, 2.5V or 0.4V		±5.1	±10	μA
V <sub>OH</sub>	ハイ・レベル出力電圧	I <sub>OH</sub> =-0.4mA	2.4			V
V <sub>OL</sub>	ロー・レベル出力電圧	I <sub>OL</sub> =12mA			0.8	

### 2. LVDS DC 仕様

 V<sub>CC</sub>=3.0V~3.6V Ta=-10°C~70°C

記号	項目	条件	min	typ	max	単位
V <sub>TH</sub>	差動入力ハイ・レベルしきい値電圧	V <sub>CM</sub> =+1.2V			100	mV
V <sub>TL</sub>	差動入力ロー・レベルしきい値電圧		-100			
I <sub>IN</sub>	入力電流	0V ≤ V <sub>IN</sub> ≤ V <sub>CC</sub>			±10	μA

### 3. レシーバ消費電流

 V<sub>CC</sub>=3.0V~3.6V Ta=-10°C~70°C

記号	項目	条件	min	typ	max	単位	
ICCRW	レシーバ 消費電流	C <sub>L</sub> =5pF ワーストケースパターン	f=65MHz		73	94	mA
			f=85MHz		83	96	
ICCRG		C <sub>L</sub> =5pF 16 グレイスケールパターン	f=65MHz		40	54	
			f=85MHz		52	64	
ICCRZ			Power Down=Low			10	μA

**4. スイッチング特性**
 $V_{CC}=3.0V \sim 3.6V$   $T_a=-10^{\circ}C \sim 70^{\circ}C$ 

記号	項目	min	typ	max	単位
RCOP	RxCLK 出力 サイクル時間	7.41	T	50	ns
RCOH	RxCLK 出力 ハイ・レベル時間		T/2		
RCOL	RxCLK 出力 ロー・レベル時間		T/2		
CLHT	LVC MOS 出力 立上り時間		1	3	
CHLT	LVC MOS 出力 立下り時間		1	3	
RSP <sub>os0</sub>	レシーバ入カストロブ位置 Bit 0	-0.5	0	+0.5	ns
RSP <sub>os1</sub>	レシーバ入カストロブ位置 Bit 1	T/7-0.5	T/7	T/7+0.5	
RSP <sub>os2</sub>	レシーバ入カストロブ位置 Bit 2	2T/7-0.5	2T/7	2T/7+0.5	
RSP <sub>os3</sub>	レシーバ入カストロブ位置 Bit 3	3T/7-0.5	3T/7	3T/7+0.5	
RSP <sub>os4</sub>	レシーバ入カストロブ位置 Bit 4	4T/7-0.5	4T/7	4T/7+0.5	
RSP <sub>os5</sub>	レシーバ入カストロブ位置 Bit 5	5T/7-0.5	5T/7	5T/7+0.5	
RSP <sub>os6</sub>	レシーバ入カストロブ位置 Bit 6	6T/7-0.5	6T/7	6T/7+0.5	
RSRC	RxCLK 出力-RxOUT セットアップ時間		T/2-2.5		ns
RHRC	RxCLK 出力-RxOUT ホールド時間		T/2-2.5		
RCCD	RxCLK IN-RxCLK OUT 遅延時間		4T/7		
RPLLS	Phase Lock Loop (PLL)セット時間			10	ms
RPDD	パワー・ダウン遅延時間			1	us

**フェイル・セーフ機能**

CL12482C/D レシーバのフェイル・セーフ機能は、差動入力が以下の3状態の場合に出力を” high” にします。

- 1) オープン
- 2) 未ドライブ、かつ、ショート
- 3) 未ドライブ、かつ、終端

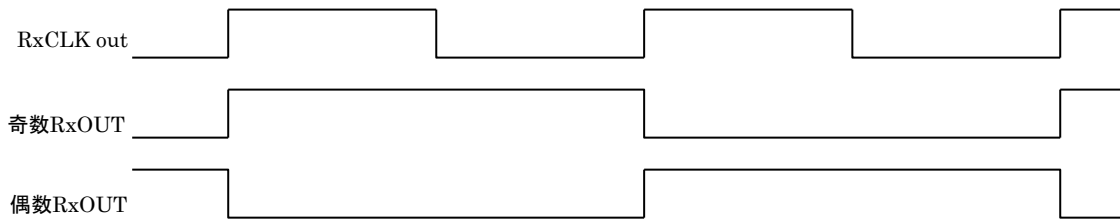


図.1 ワースト・ケース・テストパターン

端子名称	信号	信号パターン	信号周波数
RxCLK OUT	DOT CLK		f
RxOUT28	R0		f/1024
RxOUT29	R1		f/512
RxOUT21	R2		f/256
RxOUT22	R3		f/128
RxOUT0	R4		f/64
RxOUT1	R5		f/32
RxOUT2	R6		f/16
RxOUT3	R7		f/8
RxOUT4	R8		f/4
RxOUT5	R9		f/2
RxOUT30	G0		f/1024
RxOUT31	G1		f/512
RxOUT23	G2		f/256
RxOUT24	G3		f/128
RxOUT6	G4		f/64
RxOUT7	G5		f/32
RxOUT8	G6		f/16
RxOUT9	G7		f/8
RxOUT10	G8		f/4
RxOUT11	G9		f/2
RxOUT32	B0		f/1024
RxOUT33	B1		f/512
RxOUT25	B2		f/256
RxOUT26	B3		f/128
RxOUT12	B4		f/64
RxOUT13	B5		f/32
RxOUT14	B6		f/16
RxOUT15	B7		f/8
RxOUT16	B8		f/4
RxOUT17	B9		f/2
RxOUT27	OPEN		ロー・レベルー定
RxOUT18	HSYN		ハイ・レベルー定
RxOUT19	VSYN		ハイ・レベルー定
RxOUT20	DE		ハイ・レベルー定
RxOUT34	OPEN		ロー・レベルー定

図.2 1024-グレイ・スケール・テストパターン

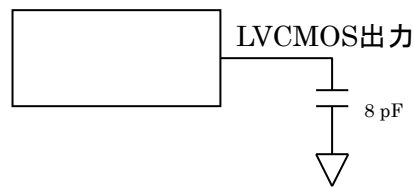


図.3: LVC MOS 出力負荷

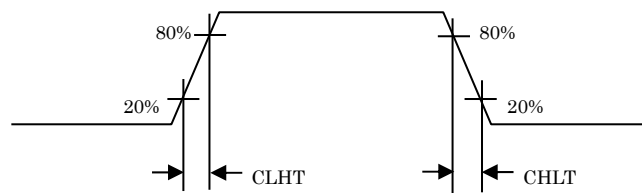


図.4: LVC MOS出力 立上り/立下り 時間

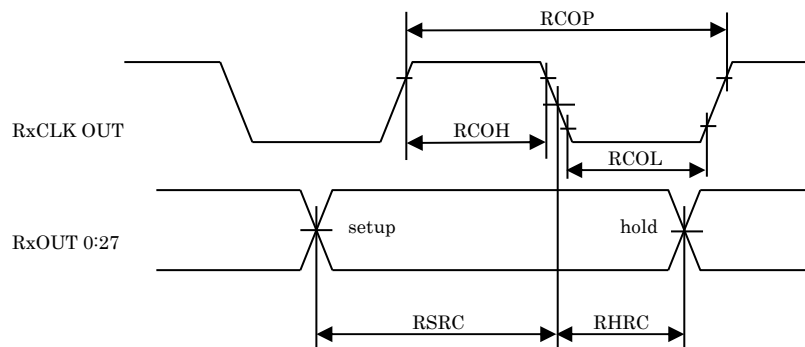


図.5: セットアップ/ホールドとロー/ハイ・レベル 時間

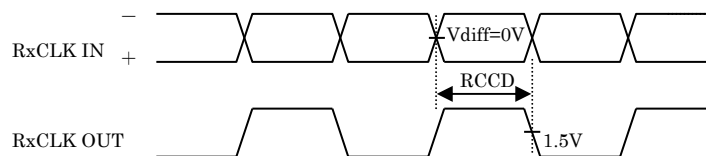


図.6: クロック入カークログ出力 遅延時間

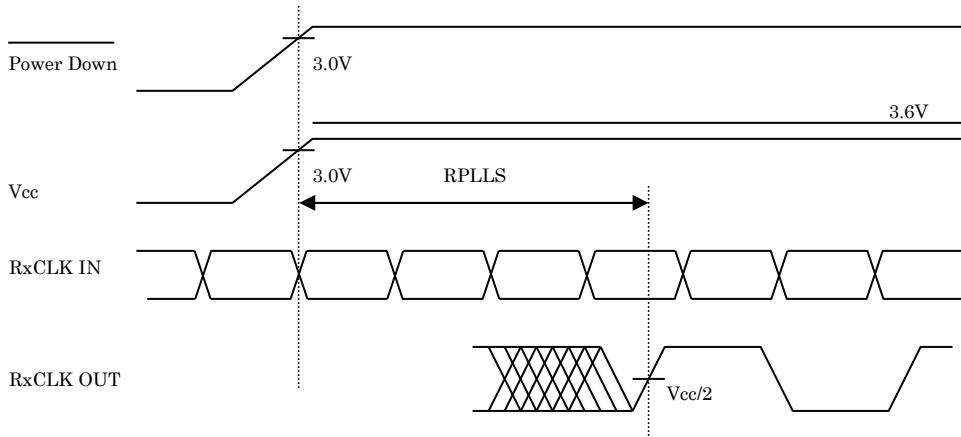


図.7: Phase Lock Loop (PLL) セットアップ時間

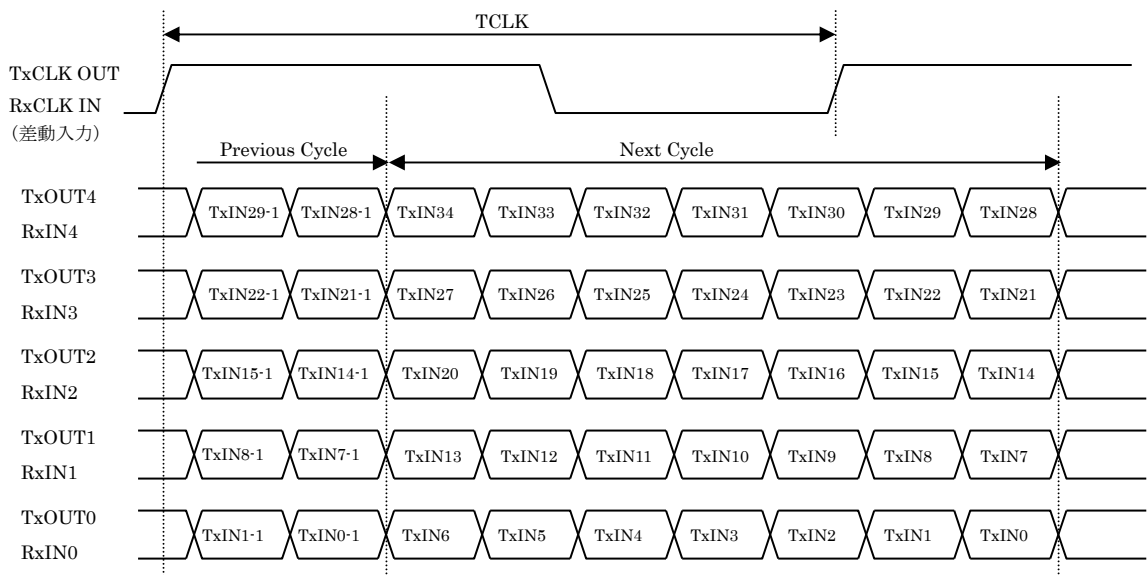


図.8: 送信 並列LVCMOSデータ入力(TxIN) - 送信 LVDS出力(TxOUT) および 受信 LVDS入力(RxIN) 相対関係



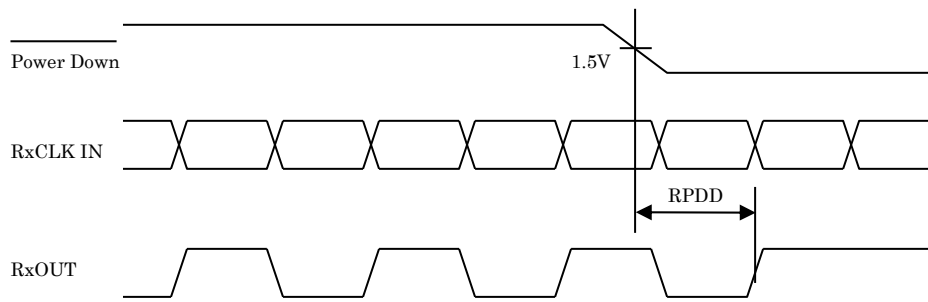


図.9: パワー・ダウン遅延時間

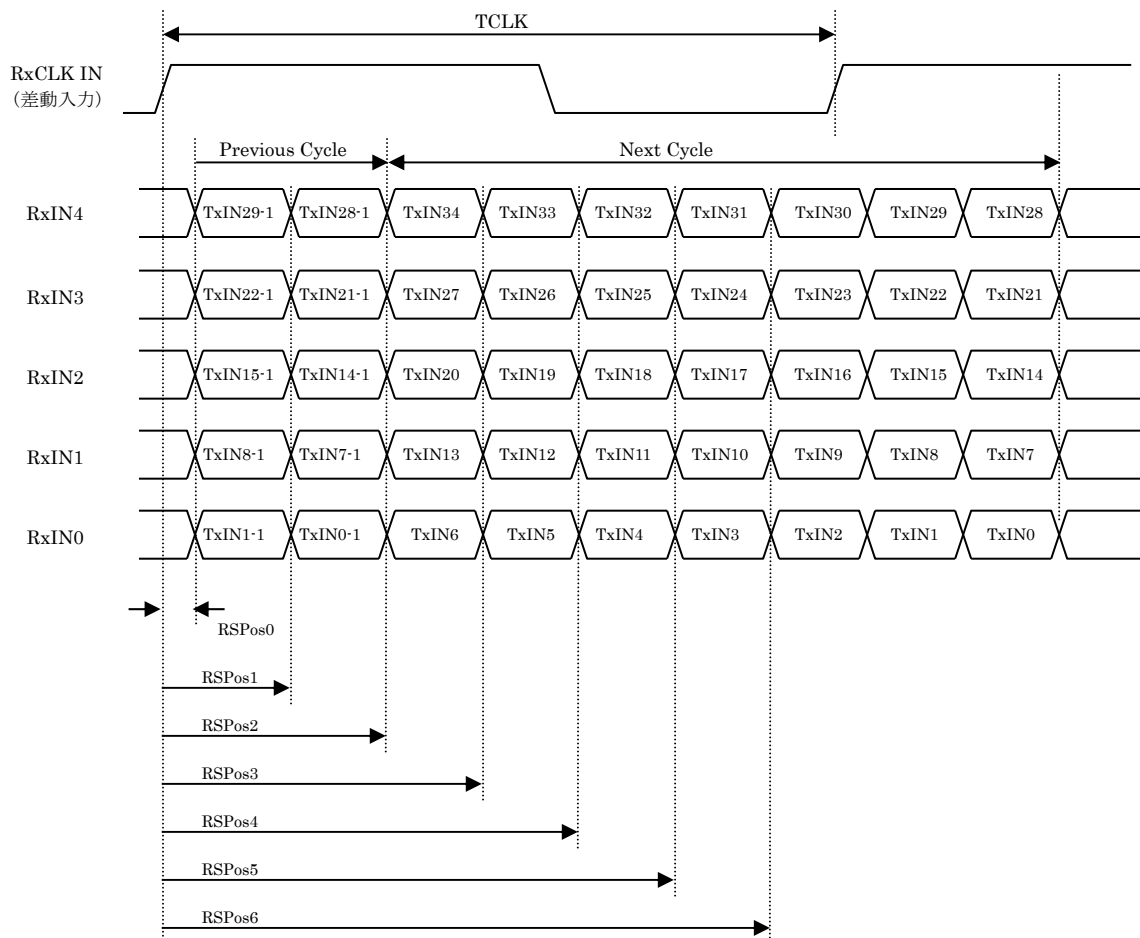
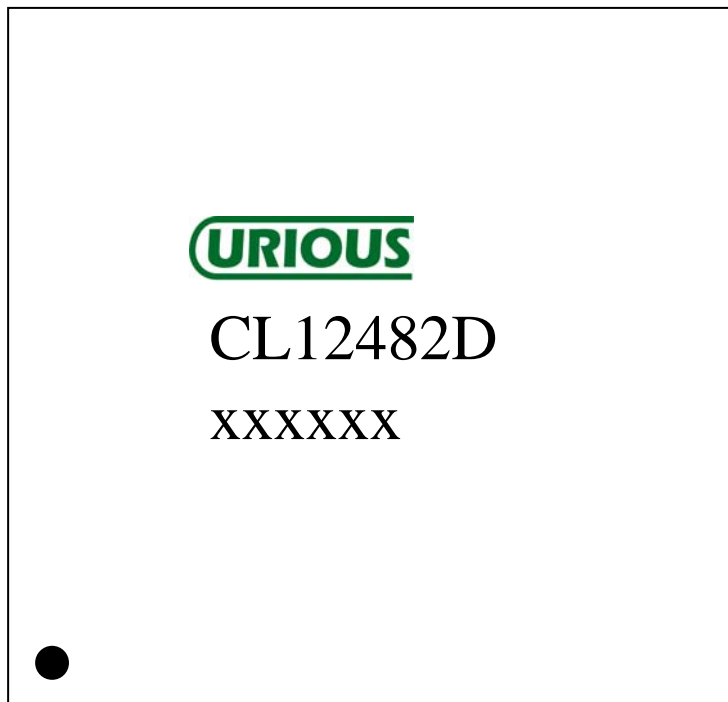


図.10: LVDS入力 ストローブ位置



改版履歴

版 数	日 付	改版内容
1.00	2010年1月12日	1) ブロック図の変更
0.40	2007年7月18日	1) 入力クロック周波数/データ伝送レートを追加
0.30	2006年7月25日	1) CL12482C/D を CL12482D に変更
0.20	2006年5月23日	1) CL12482A を CL12482C/D に変更 2) フェイル・セーフ機能追加 3) PKG ロゴ変更 4) 消費電流値の変更 5) 最大ドットクロック周波数の変更 6) 周波数変更による IOL 値の変更 7) 出力立上り/立下り時間値の変更 8) RxCLK 出力 サイクル時間の変更
0.10	2005年5月10日	図2 16-グレイスケールを 1024-グレイスケール パターンに変更
0.00	2004年4月27日	初版