

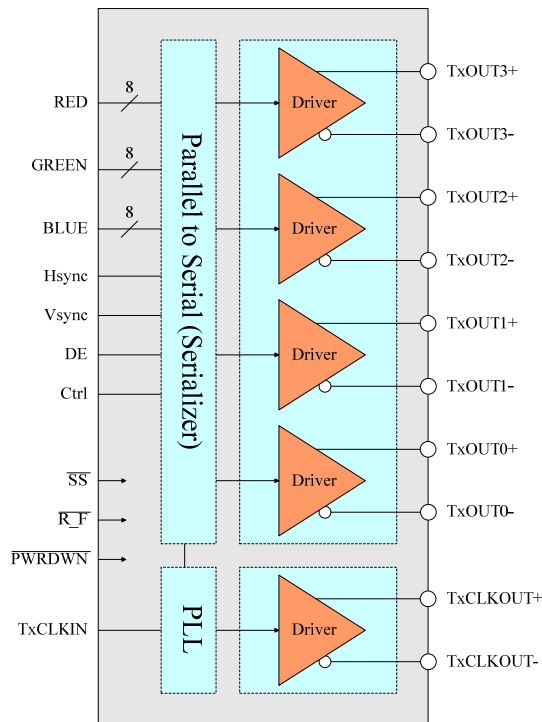
概要

CL12463Cは、28ビットの(24ビットのRGBデータとLCDタイミング・制御信号[HSYNC, VSYNC, DE, Control]の4ビット)のLVCMOS並列データを4チャンネルのLVDS直列データに変換します。また、クロック信号もトランスミッタPLL回路で位相調整され1チャンネルのLVDSデータに変換します。CL12463Cは、ピン入力(R_F)により立上りまたは立下りエッジを選択できるようなクロック・エッジ・プログラマブルを採用しています。クロック周波数85MHz時、24ビットのRGBデータと4ビットのLCDタイミングと制御信号(HSYNC, VSYNC, DE, Control)は、LVDSデータ1チャンネルあたり595Mbpsで伝送されます。CL12463Cトランスミッタはバス幅が広く高速なLVCMOSインタフェースで問題となっているEMIやケーブルサイズを解決するには理想的です。

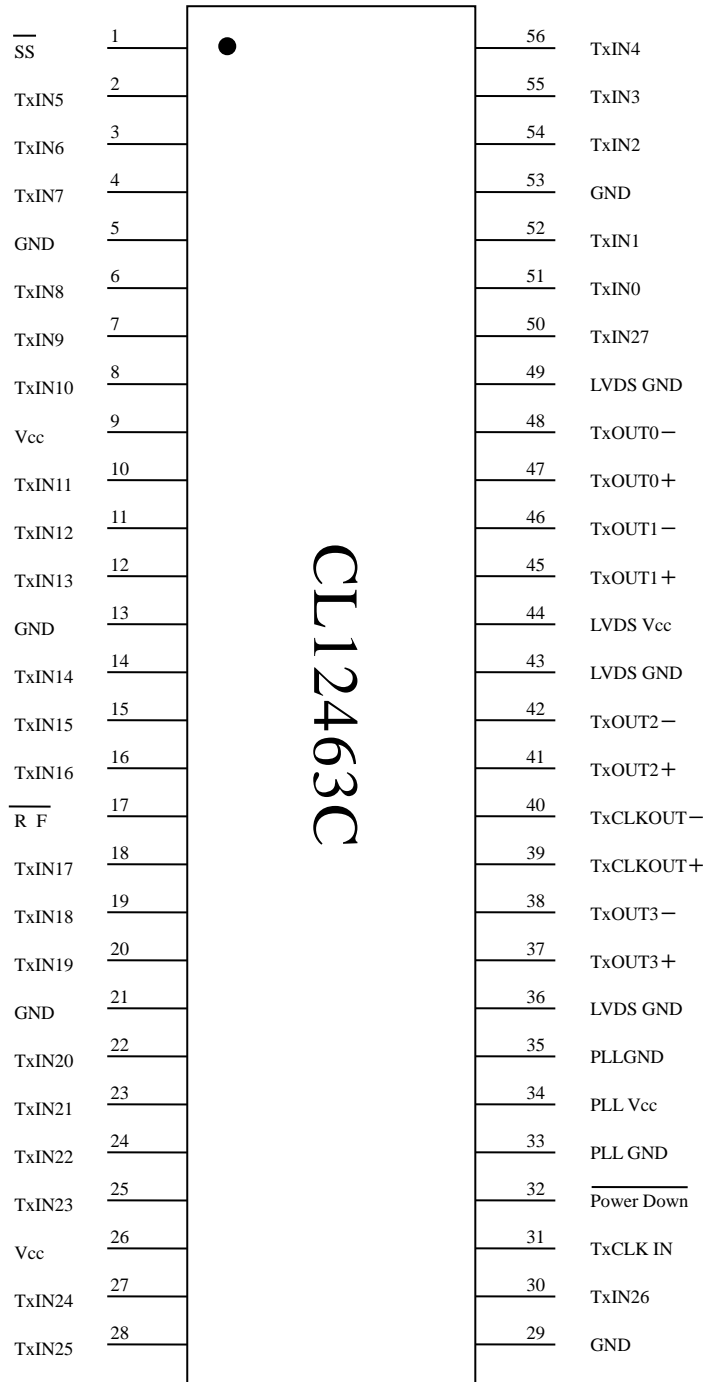
特徴

- 入力クロック周波数 20MHz~85MHz 対応
- 出力クロック周波数 20MHz~85MHz 出力データ伝送レート 140Mbps~595Mbps
- 3.3V 単一電源
- クロック・エッジ・プログラマブル
- VGA, SVGA, XGA, SXGA, SXGA 以上の高解像度をサポート
- バス幅の低減によりケーブル。コネクタを小型化可能
- PLL 外付け部品内蔵
- 消費電流を低減するパワー・ダウンモード
- 高密度実装を可能にする 56ピン TSSOP パッケージ
- 低EMIを実現する 345mV 差動信号振幅
- 200mV 差動信号振幅サポート
- NS 社製 DS90C383/385, Thine 社製 THC63LVDM83R ピン互換

ブロック図



端子配列



端子説明

端子名称	端子数	I/O	端子機能
TxIN	28	IN	LVC MOS データ入力
TxOUT+	4	OUT	正相 LVDS 差動データ出力
TxOUT-	4	OUT	逆相 LVDS 差動データ出力
TxCLKIN	1	IN	LVC MOS レベル クロック入力
TxCLKOUT+	1	OUT	正相 LVDS 差動クロック出力
TxCLKOUT-	1	OUT	逆相 LVDS 差動クロック出力
$\overline{\text{Power Down}}$	1	IN	H: ノーマル動作 L: パワーダウン (全出力ハイインピーダンス)
$\overline{\text{R_F}}$	1	IN	プログラマブル可能なエッジ・ストロープ選択 H: 立上りエッジ, L: 立下りエッジ
$\overline{\text{SS}}$	1	IN	出力差動振幅電圧選択 H: 345mV 振幅, L: 200mV 振幅
Vcc / GND	2/5	IN	電源/グラウンド LVC MOS 入力用
PLL Vcc / PLL GND	1/2	IN	電源/グラウンド PLL 用
LVDS Vcc / LVDS GND	2/4	IN	電源/グラウンド LVDS 出力用

絶対最大定格

電源電圧	-0.3V ~ +4V
LVC MOS 入力電圧	-0.3V ~ (V _{CC} +0.3V)
LVDS ドライバ出力電圧	-0.3V ~ (V _{CC} +0.3V)
LVDS 出力短絡時間	連続
PN 接合温度	+150 °C
保存温度範囲	-65 °C ~ +150 °C
ハンダ付け温度 (4 秒)	+260 °C
最大パッケージ許容損失 (25°C)	1.4 W

電気的特性

1. LVC MOS DC 仕様

 V_{CC}=3.0V ~ 3.6V Ta=-10°C ~ 70°C

記号	項目	条件	min	Typ	max	単位
V _{IH}	ハイ・レベル入力電圧		2.0		V _{CC}	V
V _{IL}	ロー・レベル入力電圧		GND		0.8	
I _{PD}	プル・ダウン電流	R _F pin, V _{IH} =V _{CC}			100	μA
I _{IN}	入力電流	V _{IN} =V _{CC} , GND, 2.5V or 0.4V			100	

2. LVDS DC 仕様

 V_{CC}=3.0V ~ 3.6V Ta=-10°C ~ 70°C

記号	項目	条件	min	typ	max	単位	
V _{OD}	差動出力電圧	R _L =100 Ohm	SS=V _{CC}	250	345	450	mV
			SS=0V	100	200	300	
ΔV _{OD}	V _{OD} の変化量	R _L =100 Ohm			35	mV	
V _{CM}	コモン・モード電圧		1.125	1.25	1.375	V	
ΔV _{CM}	V _{CM} の変化量				35	mV	
I _{OS}	出力短絡電流	V _{OUT} =0V, R _L =100 Ohm			-5	mA	
I _{OZ}	出力トライステート電流	Power Down=0V, V _{OUT} =0V or V _{CC}			±10	μA	

3. トランスミッタ消費電流

 V_{CC}=3.0V ~ 3.6V Ta=-10°C ~ 70°C

記号	項目	条件	min	typ	max	単位	
ICCTW	トランスミッタ 消費電流	R _L =100Ohm C _L =5pF ワーストケース ¹⁾ ターン	f=65MHz		51	61	mA
			f=85MHz		55	64	
ICCTG		R _L =100Ohm C _L =5pF 16-グレイスケール ¹⁾ ターン	f=65MHz		40	54	
			f=85MHz		43	57	
ICCTZ		Power Down=Low			10	μA	

4. スイッチング特性

 $V_{CC}=3.0V \sim 3.6V$ $T_a=-10^{\circ}C \sim 70^{\circ}C$

記号	項目	Min	typ	max	単位
TCIT	TxCLK IN 立上り/立下り時間			5	ns
TCIP	TxCLK IN サイクル時間	7.41	T	50	
TCIH	TxCLK IN ハイ・レベル時間	0.35T	0.5T	0.65T	
TCIL	TxCLK IN ロー・レベル時間	0.35T	0.5T	0.65T	
LLHT	LVDS 立上り時間		0.6	1.5	
LHLT	LVDS 立下り時間		0.6	1.5	
TCCS	TxOUT チャンネル間スキュー		250		ps
TPP _{Os0}	トランスミッタ出力パルス位置 Bit 0,f=85MHz	-0.2	0	+0.2	ns
TPP _{Os1}	トランスミッタ出力パルス位置 Bit 1,f=85MHz	T/7-0.2	T/7	T/7+0.2	
TPP _{Os2}	トランスミッタ出力パルス位置 Bit 2,f=85MHz	2T/7-0.2	2T/7	2T/7+0.2	
TPP _{Os3}	トランスミッタ出力パルス位置 Bit 3,f=85MHz	3T/7-0.2	3T/7	3T/7+0.2	
TPP _{Os4}	トランスミッタ出力パルス位置 Bit 4,f=85MHz	4T/7-0.2	4T/7	4T/7+0.2	
TPP _{Os5}	トランスミッタ出力パルス位置 Bit 5,f=85MHz	5T/7-0.2	5T/7	5T/7+0.2	
TPP _{Os6}	トランスミッタ出力パルス位置 Bit 6,f=85MHz	6T/7-0.2	6T/7	6T/7+0.2	
TSTC	TxCLK IN-TxIN セットアップ時間	2.5			ns
THTC	TxCLK IN-TxIN ホールド時間	0			
TCCD	TxCLK IN-TxCLK OUT 遅延時間	3.0	3.7	5.5	
TPLLS	Phase Lock Loop (PLL)セット時間			10	ms
TPDD	パワー・ダウン遅延時間			100	ns

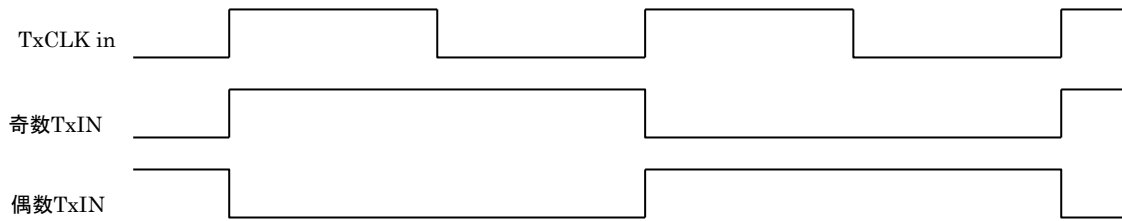


図.1 ワースト・ケース・テストパターン

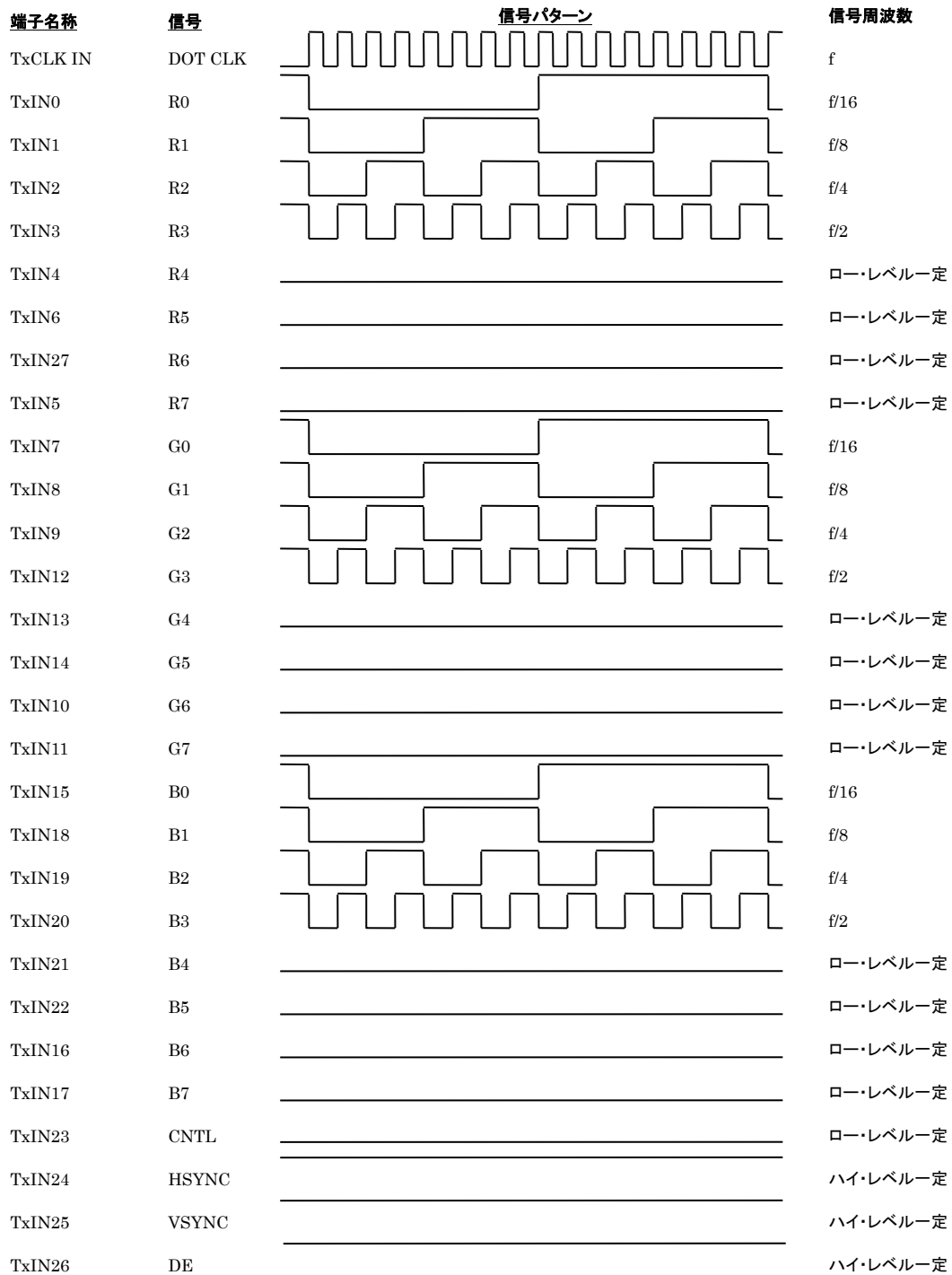


図.2 16-グレイ・スケール・テストパターン

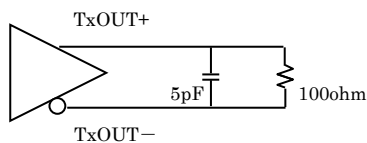


図.3: LVDS 出力負荷

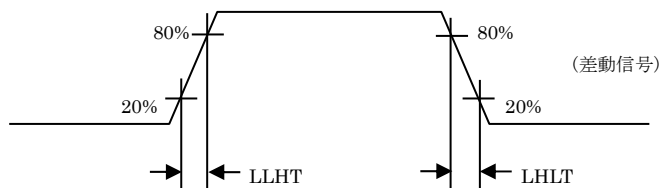


図.4: LVDS 立上り/立下り 時間

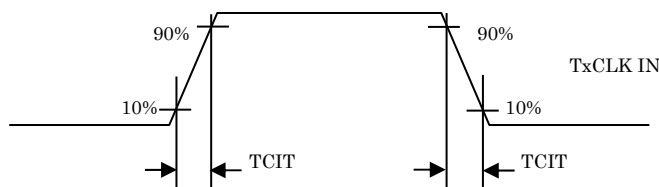


図.5: 入力クロック 立上り/立下り 時間

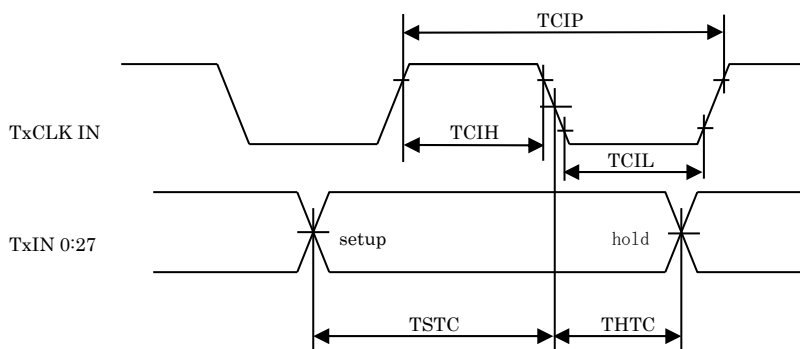


図.6: セットアップ/ホールドとロー・レベル/ハイ・レベル時間 (立下りエッジ・ストロープ)

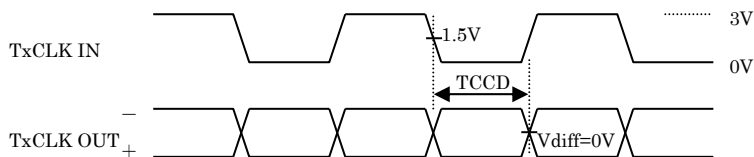


図.7: クロック入カークログ出力 遅延時間 (立下りエッジ・ストロープ)

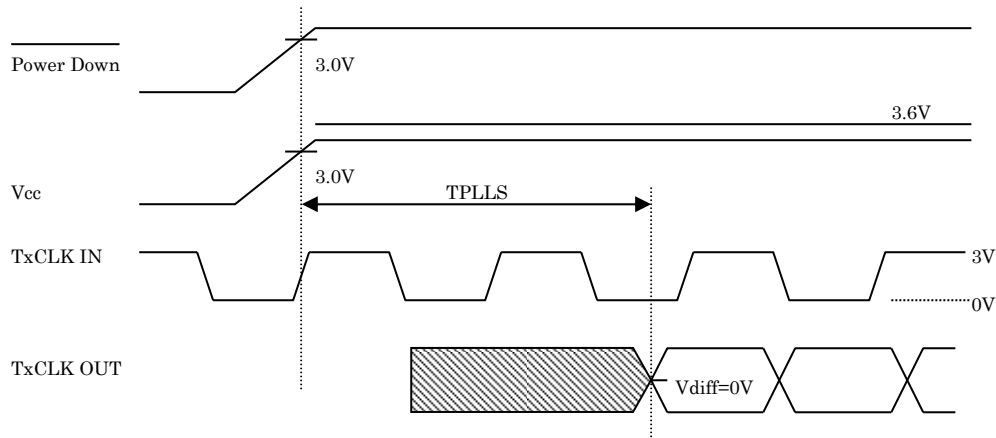


図.8: Phase Lock Loop (PLL) セットアップ時間

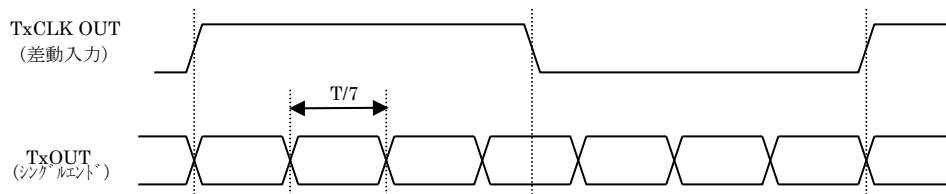


図.9: LVDS 7ビット-1-クロック・サイクル

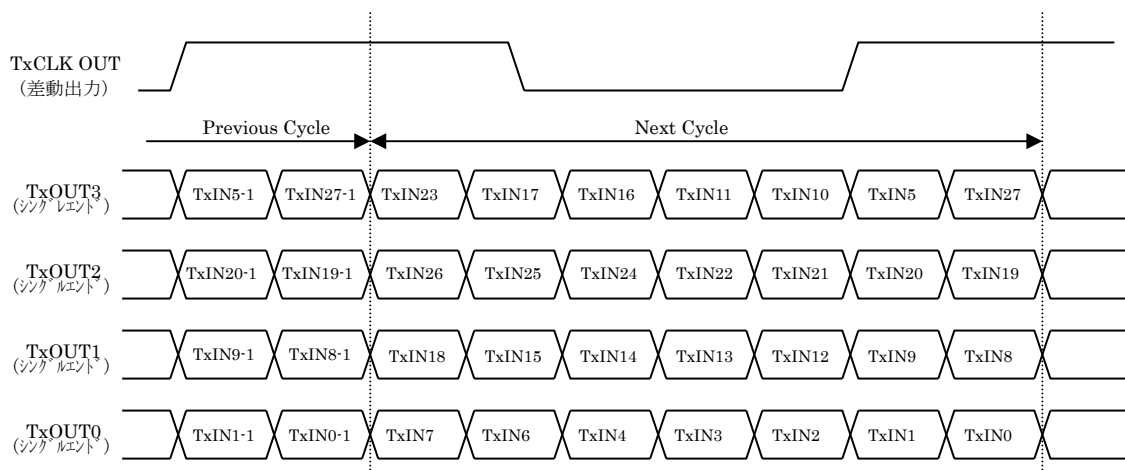


図.10: 並列LVCMOSデータ入力(TxIN) - 直列LVDS出力(TxOUT)

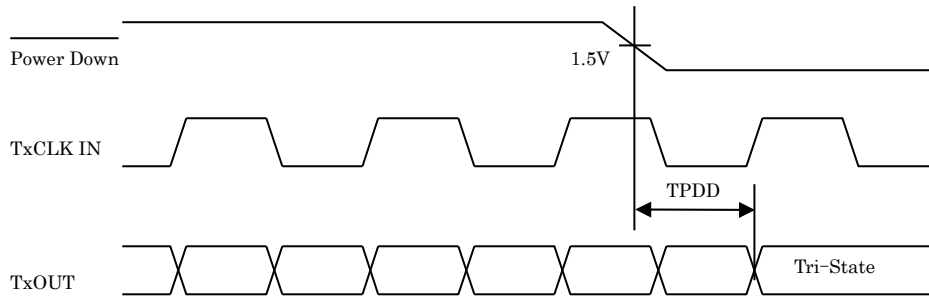


図.11: パワー・ダウン遅延時間

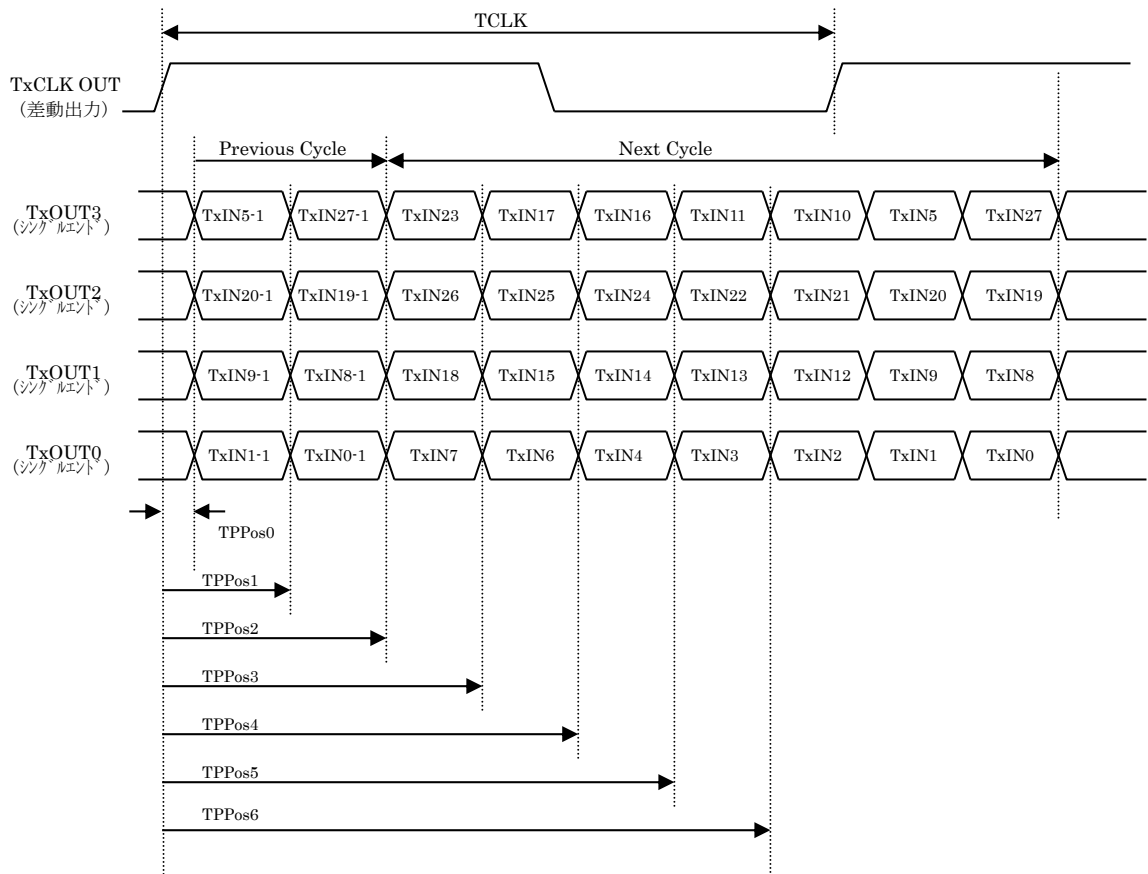
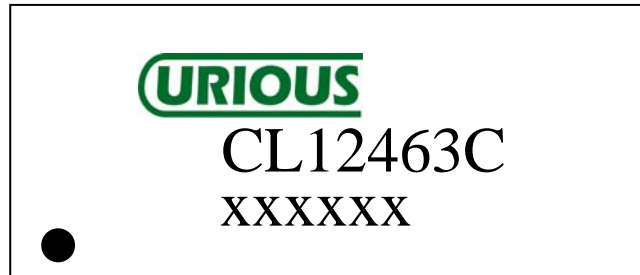


図.12: LVDS出力パルス 測定位置



改版履歴

版 数	日 付	改版内容
1.00	2010年1月12日	1) ブロック図の変更
0.30	2007年7月18日	1) 出力クロック周波数/データ伝送レートを追加
0.20	2006年5月23日	1) CL12463A を CL12463C に変更 2) SS モード(200mV 振幅)追加 3) PKG ロゴ変更 4) 消費電流値の変更 5) 最大ドットクロック周波数の変更 6) LVDS 立上り/立下り時間の変更 7) TxCLK IN サイクル時間の変更
0.10	2005年5月10日	図2 端子名称と信号の順番を修正
0.00	2003年5月15日	初版