

## 概要

CI00201IPは 列/並列 読み出し方式の CMOS イメージセンサ (CIS) 用の A/D コンバータで、弊社独自の"W-SA(Double Successive Approximation)"アルゴリズムにより高速化と高分解能化を両立することが可能です。また、"PGA(Programmable Gain Amp)"によるアナログ増幅や、"Digital CDS(Correlated Double Sampling)"による FPN(Fixed Pattern Noise) の Reduction などにより、良好な画質の撮像が可能です。

## 特徴

- プロセス : 0.18 $\mu$ m CISプロセス
- 電源電圧 : 3V アナログ、1.8V アナログ/デジタル電源
- A/D方式 : 弊社 W-SA (Double Successive Approximation) 方式
- A/D分解能 : 12bit
- A/D変換時間 : 3.75 $\mu$ sec/Column
- 列回路消費電力 : 40 $\mu$ W
- 列ピッチ : 5.6 $\mu$ m
- Noise Reduction : デジタルCDS (Reset Level と Signal Level をそれぞれDigitize して差分演算)
- PGA Gain : 0,6,12,18dB

## ブロック図

