

概要

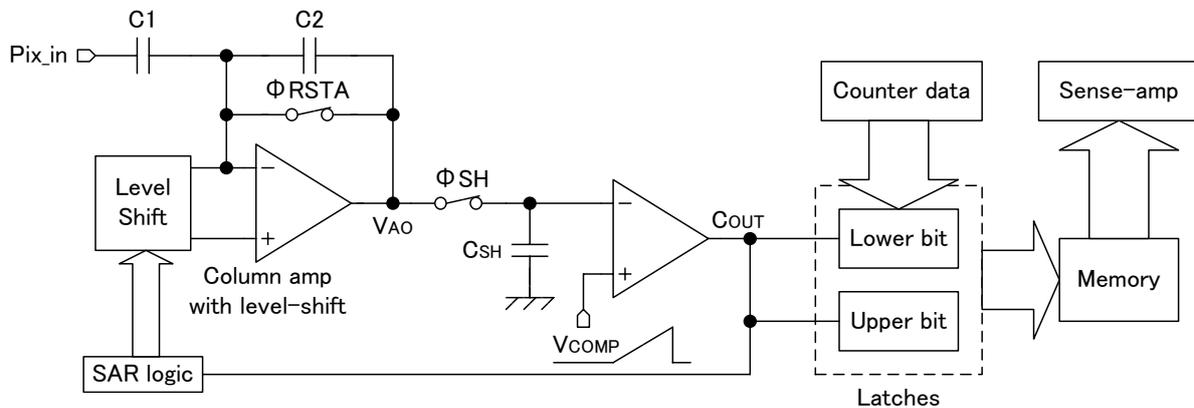
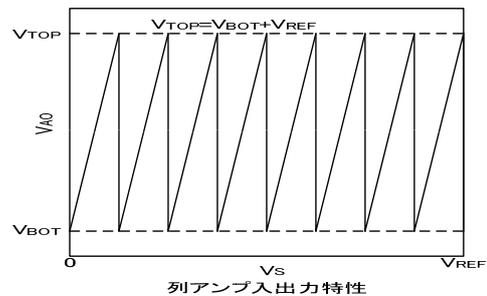
CMOS イメージセンサ(CIS)用列 A/D コンバータの主流は積分型ですが、高ビット化に限界があります。CI00101IPは、弊社独自の"Warp & Walk (Successive Approximation & Single Slope)"アルゴリズムにより、小さな回路規模増加で 14 ビット列 A/D コンバータを実現でき、フォトン 1 個 =1-LSB を可能とします。

特徴

- 電源電圧 : 3.3V アナログ、1.8V アナログ/デジタル電源
- 内部クロック : 108MHz
- A/D方式 : 弊社 Warp & Walk (Successive Approximation & Single Slope) 方式
- A/D分解能 : 14bit
- A/D変換時間 : 30μsec
- 列回路消費電力 : 20μW
- 列ピッチ : 約7μm
- 高ゲインアンプを初段に用いるため、縦筋がなくランダムノイズも小さい。

動作原理および等価回路

- 高ゲイン初段アンプは、入力信号に応じた出力電圧シフトを行い、出力の飽和防止とともに、上位ビット A/D を行う。(右図)
- 下位 A/D は積分型 A/D を適用。
- 積分 A/D レンジに冗長性を持たせることで、逐次比較時間を短縮するとともに、上位 A/D 1-LSB が測定可能。
- 列アンプのオフセットはデジタル CDS または後段アナログ CDS にてキャンセル可能。



高分解能列A/Dコンバータの等価回路

開発済みセンサの仕様および実現可能な仕様

| | 開発済み | 実現可能な仕様 | コメント |
|-----------|-----------|-----------|-------------------|
| 電源電圧 | 3.3V/1.8V | 2.8V/1.8V | デジタル電源がデバイス規格による |
| 列ピッチ | 7.2μm | 4.5μm | 容量、配線にデザインルールに依存。 |
| A/D 変換時間 | 30μsec | 16μsec | 消費電流増加で更に高速動作可能。 |
| 内部クロックレート | 108MHz | 250MHz | |
| 列回路消費電力 | 20μW | 25μW | 画素読出し用電流源含む。 |